



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0054609
Application Number PATENT-2002-0054609

출원 년 월 일 : 2002년 09월 10일
Date of Application SEP. 10, 2002

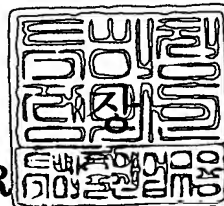
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2002.09.10
【국제특허분류】	H01L
【발명의 명칭】	제조 공정이 간단한 이이피롬(EEPROM) 소자 및 그 제조 방법
【발명의 영문명칭】	EEPROM device having simple fabrication process and fabrication method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김광태
【성명의 영문표기】	KIM,Kwang Tae
【주민등록번호】	730812-1065318
【우편번호】	705-010
【주소】	대구광역시 남구 이천동 491-22
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 15 면 15,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 9 항 397,000 원

【합계】 441,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 이이피룸 소자는 반도체 기판의 제1 부분에 터널 절연막, 제1 도전막 패턴 및 제2 도전막 패턴이 적층되고 상기 제2 도전막 패턴의 양측에 각각 배치된 공통 소오스 영역 및 플로팅 접합 영역으로 구성된 메모리 트랜지스터와, 상기 플로팅 접합 영역과 연결되고 상기 반도체 기판의 제2 부분에 게이트 절연막, 상기 제1 도전막 패턴 및 제2 도전막 패턴이 적층되고 상기 플로팅 접합 영역에 대향하여 상기 제2 도전막 패턴의 일측에 배치된 드레인 영역으로 구성된 선택 트랜지스터를 포함한다. 특히, 상기 메모리 트랜지스터 부분의 제1 도전막 패턴은 셀 별로 분리되어 플로팅되어 있고 상기 제1 도전막 패턴 상에 적층된 절연막 및 제2 도전막 패턴은 셀과 인접 셀에 연결되며, 상기 선택 트랜지스터 부분의 제1 도전막 패턴 및 제2 도전막 패턴은 식각되어 금속 플러그를 이용해 서로 연결되어 있다. 본 발명의 이이피룸 소자는 단순화된 제조 공정을 통하여 제조할 수 있고, 금속 플러그로 워드 라인을 연결하기 때문에 저항 감소 효과를 얻을 수 있다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

제조 공정이 간단한 이이피롬(EEPROM) 소자 및 그 제조 방법{EEPROM device having simple fabrication process and fabrication method thereof}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 이이피롬 소자의 단위셀 레이아웃이다.

도 2 내지 도 5는 도 1의 이이피롬 소자의 제조방법을 설명하기 위하여 도시한 도면들이다.

도 6은 본 발명에 의한 이이피롬 소자의 셀의 등가회로도이다.

도 7은 본 발명에 의한 이이피롬 소자의 단위셀 레이아웃도이다.

도 8 내지 도 13은 도 7의 이이피롬 소자의 제조방법을 설명하기 위하여 도시한 도면들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 비휘발성 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 전기적으로 소거 및 프로그램이 가능한 EEPROM 소자 및 그 제조방법에 관한 것이다.

<7> 일반적으로, 반도체 메모리 소자의 종류에는 여러 가지가 있다. 반도체 메모리 소자들중 RAM(random access memory)종류의 메모리 소자는 전원공급이 중단되면 기억된 정보가 소멸되는 특성을 갖는 반면, ROM(read only memory)종류의 메모리 소자는 외부로부

터 전원공급이 중단되어도 기억된 정보를 그대로 유지하는 특성을 갖는다. 따라서 이러한 ROM 종류의 메모리 소자는 비휘발성 메모리 소자라 불린다. 이들 비휘발성 메모리 소자중 전기적으로 정보를 소거 및 프로그램할 수 있는 이이피롬(EEPROM) 소자가 있다.

<8> 도 1은 종래 기술에 의한 이이피롬 소자의 단위셀 레이아웃도이다.

<9> 구체적으로, 종래의 이이피롬 소자의 단위 셀은 가로 방향으로 일정 폭을 가지면서 액티브 영역(11)이 배치되어 있다. 상기 액티브 영역(11)과 수직한 세로 방향으로 센스 라인(13)이 위치하고, 상기 센스 라인(13)과 가로 방향으로 일정 간격 떨어져 워드 라인(15)이 배치된다.

<10> 상기 센스 라인(13)의 좌측의 액티브 영역(11)은 공통 소오스 영역(17)이 배치되고, 상기 센스 라인(13)과 워드 라인(15) 사이 및 터널 영역(18) 하부의 액티브 영역(11)은 플로팅 접합 영역(19)이 배치된다. 특히, 상기 터널 영역 하부에는 N^+ 이온 주입 영역(21)이 형성된다. 상기 워드 라인(15)의 좌측 영역은 드레인 영역(23)이 배치되고, 상기 드레인 영역 내에는 비트 라인(미도시)과 연결될 비트 라인 콘택홀(25)이 배치된다.

<11> 더하여, 세로 방향으로 상기 액티브 영역(11)과 일정 간격만큼 이격된 비액티브 영역에 상기 액티브 영역(11)과 나란하게 가로 방향으로 필드 이온 주입을 위한 필드 이온 주입 마스크(27)가 배치된다. 상기 필드 이온 주입 마스크(27) 부분에는 필드 이온 주입이 되는 부분이다. 상기 센스 라인(13) 부분에는 상기 필드 이온 주입 마스크(27)와 오버랩되게 플로팅 게이트 형성을 위한 플로팅 게이트 마스크(29)가 설치된다. 상기 플로팅 게이트 마스크(29) 부분은 플로팅 게이트용 폴리실리콘층이 식각되어 셀별로 플로팅 게이트가 구분되게 하는 역할을 한다. 상기 플로팅 게이트 마스크(29)가 센스 라인(13) 부분에만 설치되는 이유는 워드 라인(15)의 끊김을 방지하기 위함이다.

- <12> 이상과 같은 종래의 이이피롬 소자는 2개의 트랜지스터 부분, 즉 공통 소오스 영역(17), 플로팅 접합 영역(19), 플로팅 게이트(미도시) 및 센스 라인(13)으로 이루어진 메모리 트랜지스터 부분과, 플로팅 접합 영역(19), 드레인 영역(23) 및 워드 라인(15)으로 이루어지는 선택 트랜지스터 부분으로 구성된다.
- <13> 도 2 내지 도 5는 도 1의 이이피롬 소자의 제조방법을 설명하기 위하여 도시한 도면들이다. 도 2a 내지 도 5a는 도 1의 Y1-Y1' 방향에 따라 연장하여 도시한 단면도이고, 도 2b 내지 도 5b는 도 1의 Y2-Y2' 방향에 따라 연장하여 도시한 단면도이고, 도 2c 내지 도 5c는 도 1의 X-X' 방향에 따라 연장하여 도시한 단면도이다.
- <14> 도 2a 내지 도 2c를 참조하면, 비액티브 영역(필드 절연막, 103)이 형성된 반도체 기판(101) 상에 게이트 절연막(105) 및 터널 절연막(107)을 형성한다. 상기 게이트 절연막 및 터널 절연막(107) 상에 불순물이 도핑된 제1 폴리실리콘막(109)을 형성한다.
- <15> 다음에, 상기 제1 폴리실리콘막(109) 상에 제1 포토레지스트 패턴(111)을 형성한다. 상기 제1 포토레지스트 패턴(111)은 상기 제1 폴리실리콘막(109) 상에 제1 포토레지스트막을 형성한 후 필드 이온 주입 마스크(도 1의 27)를 이용하여 노광한 후 현상하여 형성한다. 도1의 필드 이온 주입 마스크(도 1의 27)가 형성된 부분은 제1 포토레지스트 패턴(111)이 형성되지 않는 부분이다.
- <16> 계속하여, 상기 제1 포토레지스트 패턴(111)이 형성된 반도체 기판(101) 상에 필드 이온 주입(113)을 실시한다. 상기 필드 이온 주입(113)에 의해 도 1의 필드 이온 주입 마스크(도 1의 27)가 형성된 부분에 불순물, 예컨대 보론이 주입된다.

- <17> 도 3a 내지 도 3c를 참조하면, 상기 제1 포토레지스트 패턴(111)을 제거한다. 이어서, 상기 제1 폴리실리콘막(109) 상에 제2 포토레지스트 패턴(115)을 형성한다. 상기 제2 포토레지스트 패턴(115)은 상기 제1 폴리실리콘막(109) 상에 제2 포토레지스트막을 형성한 후 도 1의 플로팅 게이트 마스크(도 1의 29)로 노광한 후 현상하여 형성한다.
- <18> 이어서, 상기 제2 포토레지스트 패턴(115)을 식각마스크로 상기 제1 폴리실리콘막(109)을 식각하여 제1 폴리실리콘막 패턴(109a)을 형성한다. 이때, 도 1의 플로팅 게이트 마스크(29)가 배치된 부분은 제1 폴리실리콘막(109)이 식각되는 부분이다. 다시 말해, 도 1에 도시한 바와 같이 플로팅 게이트 마스크(29)가 메모리 트랜지스터 부분에만 설치되어 있어 제1 폴리실리콘막 패턴이나 후에 형성되는 제2 폴리실리콘막 패턴으로 구성되는 워드 라인(15)의 끊김이 방지된다. 결과적으로, 메모리 트랜지스터 부분에서 상기 제1 폴리실리콘막 패턴(109a)은 단위셀 별로 분리되어 플로팅 게이트가 된다.
- <19> 도 4a 내지 도 4c를 참조하면, 상기 제1 폴리실리콘막의 식각시 식각 마스크로 사용된 제2 포토레지스트 패턴(115)을 제거한다. 이어서, 상기 제1 폴리실리콘막 패턴(109)이 형성된 반도체 기판(101)의 전면에 절연막(117)을 형성한다. 상기 절연막(117)은 ONO막을 이용하여 형성한다.
- <20> 도 5a 내지 도 5c를 참조하면, 상기 절연막(117)이 형성된 반도체 기판(101)의 전면에 불순물이 도핑된 제2 폴리실리콘막(119)을 형성한다. 이어서, 상기 제2 폴리실리콘막(119)을 패터닝하여 도 5c와 같이 제2 폴리실리콘막 패턴(119a)을 형성한다. 상기 제2 폴리실리콘막 패턴(119a)은 메모리 트랜지스터나 선택 트랜지스터의 게이트 역할을 수행한다.

<21> 이상과 같은 종래의 이이피롬 소자는 도 1에 도시한 바와 같이 플로팅 게이트 마스크가 워드 라인의 끊임을 방지하기 위해 메모리 트랜지스터 부분에만 설치되어 도 3a 내지 도 3c에 도시한 바와 같이 메모리 트랜지스터 부분쪽의 제1 폴리실리콘막만을 식각한다.

<22> 그러나, 종래의 이이피롬 소자는 도 1의 레이아웃도에서 보듯이 필드 이온 주입 마스크와 플로팅 게이트 마스크가 오버랩되어 배치되어 있다. 따라서, 제조 공정을 단순화하기 위해 상기 도 1의 필드 이온 주입 마스크와 오버랩되어 있는 플로팅 게이트 마스크를 하나의 마스크로 할 필요성이 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 따라서, 본 발명이 이루고자 하는 기술적 과제는 제조 공정이 간단한 이이피롬 소자를 제공하는 데 있다.

<24> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 제조 공정이 간단한 이이피롬 소자의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위하여, 본 발명의 이이피롬 소자는 반도체 기판의 제1 부분에 터널 절연막, 제1 도전막 패턴 및 제2 도전막 패턴이 적층되고 상기 제2 도전막 패턴의 양측에 각각 배치된 공통 소오스 영역 및 플로팅 접합 영역으로 구성된 메모리 트랜지스터와, 상기 플로팅 접합 영역과 연결되고 상기 반도체 기판의 제2 부분에 게이트 절연막, 상기 제1 도전막 패턴 및 제2 도전막 패턴이 적층되고 상기 플로팅 접합

영역에 대향하여 상기 제2 도전막 패턴의 일측에 배치된 드레인 영역으로 구성된 선택 트랜지스터를 포함한다.

<26> 특히, 상기 메모리 트랜지스터 부분의 제1 도전막 패턴은 셀 별로 분리되어 플로팅 되어 있고 상기 제1 도전막 패턴 상에 적층된 절연막 및 제2 도전막 패턴은 셀과 인접 셀에 연결되며, 상기 선택 트랜지스터 부분의 제1 도전막 패턴 및 제2 도전막 패턴은 식각되어 금속 플러그를 이용해 서로 연결되어 있다.

<27> 상기 제1 도전막 패턴 및 제2 도전막 패턴은 불순물이 도핑된 폴리실리콘막으로 구성할 수 있다. 상기 금속 플러그는 텅스텐막으로 구성할 수 있다. 상기 선택 트랜지스터 부분의 제1 도전막 패턴 및 제2 도전막 패턴은 비액티브 영역에서 식각되어 금속 플러그로 연결될 수 있다.

<28> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 이이피롬 소자의 제조방법은 액티브 영역이 한정된 반도체 기판 상에 터널 절연막 및 게이트 절연막을 형성한 후 상기 터널 절연막 및 게이트 절연막이 형성된 반도체 기판 상에 제1 도전막을 형성하는 것을 포함한다. 상기 제1 도전막을 패터닝하여 메모리 트랜지스터 부분에는 셀별로 분리된 제1 도전막 패턴이 형성되고 선택 트랜지스터 부분에는 워드 라인 방향으로 끊어진 제1 도전막 패턴을 형성한다. 상기 제1 도전막 패턴 및 비액티브 영역 상에 절연막을 형성한 후, 상기 절연막 상에 제2 도전막을 형성한다. 상기 제2 도전막을 패터닝하여 상기 선택 트랜지스터 부분에 콘택홀을 갖는 제2 도전막 패턴을 형성한다. 상기 제2 도전막 패턴을 패터닝하여 메모리 트랜지스터의 센스 라인 및 선택 트랜지스터의 워드 라인을 형성한 후, 상기 센스 라인 및 워드 라인이 형성된 반도체 기판 상에 상기 제1 도전막 패턴을 노출하는 금속 콘택홀을 갖는 층간 절연막을 형성한다. 상기 금속 콘택홀에 금속

플러그를 형성하여 상기 워드 라인 방향으로 끊어진 제1 도전막 패턴을 제2 도전막 패턴 및 금속 플러그로 연결한다.

<29> 상기 제1 도전막을 형성한 후 상기 액티브 영역외의 비액티브 영역에 필드 이온 주입을 실시할 수 있다. 상기 필드 이온을 주입할 때와 제1 도전막 패턴을 형성할 때 동일한 마스크를 이용하여 수행할 수 있다. 상기 금속 플러그는 텅스텐으로 형성할 수 있다. 상기 콘택홀 및 금속 콘택홀은 비액티브 영역 상에 형성하는 것이 바람직하다.

<30> 본 발명의 이이피롬 소자는 단순화된 제조 공정을 통하여 제조할 수 있고, 금속 플러그로 워드 라인을 연결하기 때문에 저항 감소 효과를 얻을 수 있다.

<31> 이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위(상)"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

<32> 도 6은 본 발명에 의한 이이피롬 소자의 셀의 등가회로도이다.

<33> 구체적으로, 본 발명에 의한 이이피롬 소자는 워드 라인(W/L)이 선택 트랜지스터(201)의 게이트와 연결되며, 비트 라인(B/L)은 워드 라인의 드레인(D)와 연결된다. 상기 선택 트랜지스터(201)는 플로팅 접합 영역(309)을 통하여 메모리 트랜지스터(203)과 연

결된다. 결과적으로, 본 발명의 이이피롬 소자는 2개의 트랜지스터, 즉 선택 트랜지스터 (201)와 메모리 트랜지스터(203)로 하나의 셀을 구성한다. 즉, 공통 소오스 영역(CS), 플로팅 접합 영역(309), 플로팅 게이트(미도시) 및 센스 라인(S/L)으로 이루어진 메모리 트랜지스터와, 플로팅 접합 영역(309), 드레인 영역(D) 및 워드 라인(W/L)으로 이루어지는 선택 트랜지스터로 이루어진다.

<34> 상기 이이피롬 소자의 셀의 소거 및 프로그램 방식은 다음과 같다. 즉, 셀의 소거는 센스 라인(S/L)과 워드 라인(W/L)에 13~20V를 인가하고 비트 라인(B/L)에 0V, 공통 소오스(CS)에 플로팅 또는 0V를 인가하면 플로팅 게이트 내에 전자를 주입시켜 메모리 트랜지스터(203)의 문턱 전압(threshold voltage, V_{th})이 약 3~7V 정도 높아지게 하여 수행한다. 또한, 셀의 프로그램은 센스 라인에 0V, 비트 라인 및 워드 라인에 13~20V, 공통 소오스를 플로팅 상태로 만들어주면 플로팅 게이트 내의 전자를 빼내어 메모리 트랜지스터의 문턱 전압이 -4V~0V 정도 낮아지게 하여 수행한다.

<35> 도 7은 본 발명에 의한 이이피롬 소자의 단위셀 레이아웃도이다.

<36> 구체적으로, 본 발명의 이이피롬 소자의 단위 셀은 가로 방향으로 일정 폭을 가지면서 액티브 영역(301)이 배치되어 있다. 상기 액티브 영역(301)과 수직한 세로 방향으로 센스 라인(303)이 위치하고, 상기 센스 라인(303)과 가로 방향으로 일정 간격 떨어져 워드 라인(305)이 배치된다.

<37> 상기 센스 라인(303)의 좌측의 액티브 영역(301)은 공통 소오스 영역(307)이 배치되고, 상기 센스 라인(303)과 워드 라인(305) 사이 및 터널 영역(308) 하부의 액티브 영역(301)은 플로팅 접합 영역(309)이 배치된다. 특히, 상기 터널 영역(308) 하부에는 N^+ 이온 주입 영역(311)이 형성된다. 상기 워드 라인(305)의 좌측 영역은 드레인 영역(313)

이 배치되고, 상기 드레인 영역(313) 내에는 비트 라인(미도시)과 연결될 비트 라인 콘택홀(315)이 배치된다.

<38> 이에 따라, 본 발명의 이이피롬 소자의 셀은 도 6에서 설명된 바와 같이 공통 소오스 영역(307, 도 6의 CS), 플로팅 접합 영역(309), 플로팅 게이트(미도시) 및 센스 라인(303, 도 6의 S/L,)으로 이루어진 메모리 트랜지스터 부분(도 6의 203)와, 플로팅 접합 영역(309), 드레인 영역(313, 도 6의 D) 및 워드 라인(305, 도 6의 W/L)으로 이루어진 선택 트랜지스터 부분(도 6의 201)로 이루어진다. 후에 설명하는 바와 같이 상기 플로팅 게이트는 제1 도전막 패턴으로 구성되며, 상기 센스 라인이나 워드 라인은 제1 도전막 패턴이나 제2 도전막 패턴으로 구성된다.

<39> 세로 방향으로 상기 액티브 영역(301)과 일정 간격만큼 이격된 비액티브 영역에 상기 액티브 영역(301)과 나란하게 가로 방향으로 필드 이온 주입 및 플로팅 게이트 형성을 위한 제1 마스크(317)가 배치된다. 상기 제1 마스크(317)는 비액티브 영역에 형성되며, 상기 제1 마스크(317) 부분에는 필드 이온 주입이 되는 부분이다.

<40> 그런데, 본 발명의 이이피롬 소자의 셀 레이아웃도에서는 종래의 플로팅 게이트 마스크(도 1의 29)를 설치하지 않고 상기 제1 마스크(317)로 필드 이온 주입 마스크와 플로팅 게이트 마스크를 역할을 동시에 수행하게 한다. 다시 말해, 필드 이온 주입 마스크와 플로팅 게이트 마스크를 하나의 마스크로 한다. 상기 제1 마스크(317) 부분은 플로팅 게이트나 워드 라인으로 작용하는 제1 도전막이 식각되는 부분이다. 이에 따라, 상기 메모리 트랜지스터 부분의 제1 마스크(317) 부분은 플로팅 게이트용 제1 도전막이 식각되어 셀별로 플로팅 게이트가 구분되고, 선택 트랜지스터 부분의 제1 마스크(317) 부분은 워드 라인으로 이용되는 제1 도전막 패턴이 끊어지게 된다.

- <41> 더하여, 상기 제1 마스크(317)에 의해 끊어진 제1 도전막 패턴을 전기적으로 연결하기 위해 상기 선택 트랜지스터 부분의 비액티브 영역에는 제2 마스크(319) 및 금속 콘택홀(321)이 설치되어 있다.
- <42> 후술하는 바와 같이 상기 제2 마스크(319) 부분은 센스 라인이나 워드 라인으로 작용하는 제2 도전막이 식각되는 부분이고, 상기 금속 콘택홀(321)에는 금속 플러그가 채워지는 부분이다. 따라서, 상기 제1 마스크(317)에 의해 끊어진 제1 도전막 패턴을 금속 플러그 및 제2 도전막 패턴을 통하여 전기적으로 연결한다. 결과적으로, 워드 라인으로 작용하는 제1 도전막 패턴 및 제2 도전막 패턴을 금속 플러그를 통하여 연결한다. 상기 제2 마스크(319)나 금속 콘택홀(321)을 형성하기 위한 마스크는 제조 과정에서 이미 사용되는 마스크로써 별도로 준비하지 않아도 되는 마스크이다.
- <43> 도 8 내지 도 13은 도 7의 이이피롬 소자의 제조방법을 설명하기 위하여 도시한 도면들이다. 도 8a 내지 도 13는 도 1의 Y1-Y1' 방향에 따라 연장하여 도시한 단면도이고, 도 8b 내지 도 13b는 도 1의 Y2-Y2' 방향에 따라 연장하여 도시한 단면도이고, 도 8c 내지 도 13c는 도 1의 X1-X1' 방향에 따라 연장하여 도시한 단면도이고, 도 11d 내지 도 13d는 도 1의 X2-X2' 방향에 따라 연장하여 도시한 단면도이다.
- <44> 도 8a 내지 도 8c를 참조하면, 비액티브 영역(필드 절연막, 403)이 형성된 반도체 기판(401) 상에 게이트 절연막(405) 및 터널 절연막(407)을 형성한다. 상기 게이트 절연막(405) 및 터널 절연막(407) 상에 제1 도전막(409)을 형성한다. 상기 제1 도전막(409)은 불순물이 도핑된 폴리실리콘막으로 형성한다.
- <45> 다음에, 상기 제1 도전막(409) 상에 포토레지스트 패턴(411)을 형성한다. 상기 포토레지스트 패턴(411)은 상기 제1 도전막(409) 상에 제1 포토레지스트막을 형성한 후

제1 마스크(도 7의 317)를 이용하여 노광한 후 현상하여 형성한다. 도 7의 제1 마스크(도 7의 317)가 형성된 부분은 포토레지스트 패턴(411)이 형성되지 않는 부분이다.

<46> 계속하여, 상기 포토레지스트 패턴(411)이 형성된 반도체 기판(401) 상에 필드 이온 주입(413)을 실시한다. 상기 필드 이온 주입(413)에 의해 도 7의 제1 마스크(도 7의 317)가 형성된 부분에 불순물, 예컨대 보론이 주입된다.

<47> 도 9a 내지 도 9c를 참조하면, 상기 포토레지스트 패턴(411)을 식각마스크로 상기 제1 도전막(409)을 식각하여 제1 도전막 패턴(409a)을 형성한다. 도 7의 제1 마스크(317)가 배치된 부분은 제1 도전막(409)이 식각되는 부분이다. 이와 같은 공정을 통하여 상기 제1 도전막 패턴(409a)이 단위셀 별로 분리되어 플로팅된다. 이에 따라, 메모리 트랜지스터쪽에서는 제1 도전막 패턴(409a)으로 플로팅 게이트가 형성된다.

<48> 그런데, 도 9b의 참조 번호 416으로 도시한 바와 같이 선택 트랜지스터쪽에서는 워드 라인으로 이용되는 제1 도전막 패턴(409a)이 끊어지는 현상이 발생한다. 이는 도 7의 레이아웃도에서 보시는 바와 같이 본 발명은 이이피롬 소자는 종래의 필드 이온 주입 마스크와 플로팅 게이트 마스크를 하나의 제1 마스크(317)로 대체했기 때문이다.

<49> 도 10a 내지 도 10c를 참조하면, 상기 제1 도전막(409) 식각시 식각 마스크로 사용된 포토레지스트 패턴(411)을 제거한다. 이어서, 상기 제1 도전막 패턴(409a) 및 비액티브 영역(403)이 형성된 반도체 기판(401)의 전면에 절연막(417)을 형성한다. 상기 절연막(417)은 ONO막을 이용하여 형성한다.

<50> 도 11a 내지 도 11d를 참조하면, 상기 절연막(417)이 형성된 반도체 기판(401)의 전면에 제2 도전막(419)을 형성한다. 상기 제2 도전막(419)은 불순물이 도핑된 폴리실리

콘막으로 형성한다. 이어서, 상기 제2 도전막(419)을 패터닝하여 도 11b 및 11d와 같이 콘택홀(421)을 갖는 제2 도전막 패턴(419a)을 형성한다. 상기 콘택홀(421)은 도 7의 참조번호 319로 표시된 제2 마스크에 의해 식각된 부분이다.

<51> 도 12a 내지 도 12d를 참조하면, 콘택홀(421)을 갖는 제2 도전막 패턴(419a)이 형성된 반도체 기판(401)의 전면에 층간 절연막(423)을 형성한다. 이어서, 제2 도전막 패턴(419a)을 더 패터닝하여 도 12c 및 도 12d와 같이 메모리 트랜지스터의 조절 게이트(센스 라인)나 선택 트랜지스터의 워드 라인 역할을 수행하는 제2 도전막 패턴(419b)을 형성한다. 다음에, 상기 제2 층간 절연막(423)을 식각하여 금속 콘택홀(424)을 형성한다. 상기 금속 콘택홀(424)은 도 7의 참조번호 321로 표시된 부분이다.

<52> 도 13a 내지 도 13d를 참조하면, 금속 콘택홀(424)이 형성된 반도체 기판(401)의 전면에 금속막, 예컨대 텅스텐막을 형성한 후 평탄화하여 금속 플러그(425)를 형성한다. 상기 금속 플러그(425)는 도 7의 금속 콘택홀(321)에 해당하는 부분에 형성된다. 상기 금속 플러그(425)는 도 13b에 도시한 바와 같이 제1 마스크(317)에 의하여 끊어진 제1 도전막 패턴(409)을 제2 도전막 패턴(419a)과 연결하는 역할을 수행한다.

<53> 결과적으로, 도 13a에 도시한 바와 같이 메모리 트랜지스터 부분의 상기 제1 도전막 패턴(409a) 상에 적층된 절연막(417) 및 제2 도전막 패턴(419a)은 셀과 인접 셀에 연결되며, 도 13b에 도시한 바와 같이 상기 선택 트랜지스터 부분의 제1 도전막 패턴(409a) 및 제2 도전막 패턴(419a)은 비액티브 영역(403) 상에서 식각되어 금속 플러그(425)를 이용해 서로 연결된다.

【발명의 효과】

<54> 상술한 바와 같이 본 발명의 이이피롬 소자의 제조 방법은 플로팅 게이트 마스크(도 1의 29)를 설치하지 않고 상기 제1 마스크(317)로 플로팅 게이트 마스크를 역할을 수행하여 제조공정을 간단히 할 수 있다. 더하여, 상기 제1 도전막 패턴이나 제2 도전막 패턴으로 구성되는 워드 라인의 끊김을 방지하기 위하여 상기 금속 콘택홀에 금속 플러그를 설치한다. 결과적으로, 본 발명의 이이피롬 소자의 레이아웃은 종래보다 하나의 마스크 공정을 생략하여 제조 공정을 단순화할 수 있고 금속 플러그로 워드 라인을 연결하기 때문에 저항 감소 효과를 얻을 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판의 제1 부분에 터널 절연막, 제1 도전막 패턴 및 제2 도전막 패턴이 적층되고 상기 제2 도전막 패턴의 양측에 각각 배치된 공통 소오스 영역 및 플로팅 접합 영역으로 구성된 메모리 트랜지스터와,

상기 플로팅 접합 영역과 연결되고 상기 반도체 기판의 제2 부분에 게이트 절연막, 상기 제1 도전막 패턴 및 제2 도전막 패턴이 적층되고 상기 플로팅 접합 영역에 대향하여 상기 제2 도전막 패턴의 일측에 배치된 드레인 영역으로 구성된 선택 트랜지스터를 포함하는 이이피롬 소자에 있어서,

상기 메모리 트랜지스터 부분의 제1 도전막 패턴은 셀 별로 분리되어 플로팅되어 있고 상기 제1 도전막 패턴 상에 적층된 절연막 및 제2 도전막 패턴은 셀과 인접 셀에 연결되며, 상기 선택 트랜지스터 부분의 제1 도전막 패턴 및 제2 도전막 패턴은 식각되어 금속 플러그를 이용해 서로 연결되어 있는 것을 특징으로 하는 이이피롬 소자.

【청구항 2】

제1항에 있어서, 상기 제1 도전막 패턴 및 제2 도전막 패턴은 불순물이 도핑된 폴리실리콘막으로 구성하는 것을 특징으로 하는 이이피롬 소자.

【청구항 3】

제1항에 있어서, 상기 금속 플러그는 텅스텐막으로 구성하는 것을 특징으로 하는 이이피롬 소자.

【청구항 4】

제1항에 있어서, 상기 선택 트랜지스터 부분의 제1 도전막 패턴 및 제2 도전막 패턴은 비액티브 영역에서 식각되어 금속 플러그로 연결되는 것을 특징으로 하는 이이피롬 소자.

【청구항 5】

액티브 영역이 한정된 반도체 기판 상에 터널 절연막 및 게이트 절연막을 형성하는 단계;

상기 터널 절연막 및 게이트 절연막이 형성된 반도체 기판 상에 제1 도전막을 형성하는 단계;

상기 제1 도전막을 패터닝하여 메모리 트랜지스터 부분에는 셀별로 분리된 제1 도전막 패턴이 형성되고 선택 트랜지스터 부분에는 워드 라인 방향으로 끊어진 제1 도전막 패턴을 형성하는 단계;

상기 제1 도전막 패턴 및 비액티브 영역 상에 절연막을 형성하는 단계;

상기 절연막 상에 제2 도전막을 형성하는 단계;

상기 제2 도전막을 패터닝하여 상기 선택 트랜지스터 부분에 콘택홀을 갖는 제2 도전막 패턴을 형성하는 단계;

상기 제2 도전막 패턴을 패터닝하여 메모리 트랜지스터의 센스 라인 및 선택 트랜지스터의 워드 라인을 형성하는 단계;

상기 센스 라인 및 워드 라인이 형성된 반도체 기판 상에 상기 제1 도전막 패턴을 노출하는 금속 콘택홀을 갖는 층간 절연막을 형성하는 단계; 및

상기 금속 콘택홀에 금속 플러그를 형성하여 상기 워드 라인 방향으로 끊어진 제1 도전막 패턴을 제2 도전막 패턴 및 금속 플러그로 연결하는 단계를 포함하여 이루어지는 것을 이이피롬 소자의 제조방법.

【청구항 6】

제5항에 있어서, 상기 제1 도전막을 형성한 후 상기 액티브 영역외의 비액티브 영역에 필드 이온 주입을 실시하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 이이피롬 소자의 제조방법.

【청구항 7】

제6항에 있어서, 상기 필드 이온을 주입할 때와 제1 도전막 패턴을 형성할 때 동일한 마스크를 이용하여 수행하는 것을 특징으로 하는 이이피롬 소자의 제조방법.

【청구항 8】

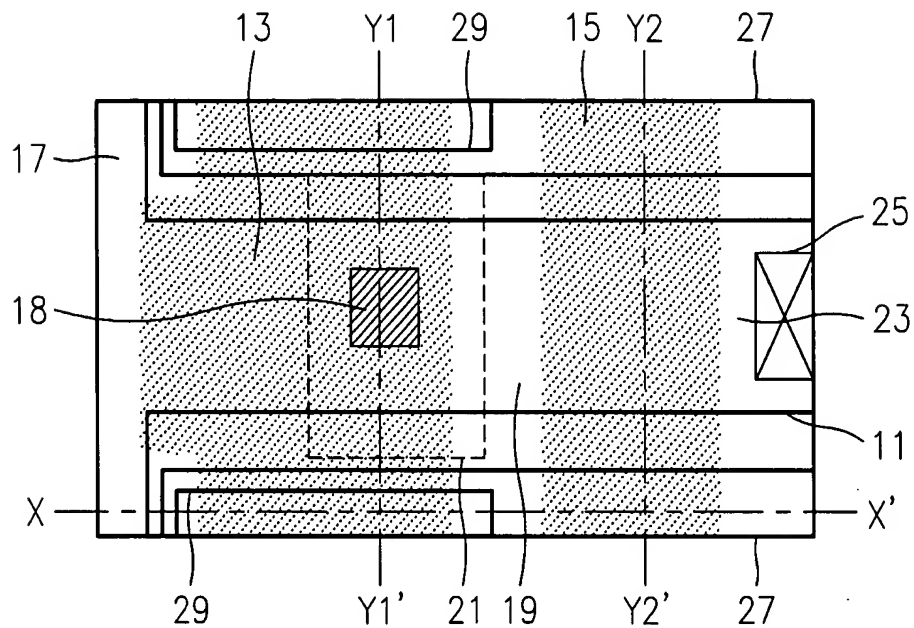
제5항에 있어서, 상기 금속 플러그는 텅스텐으로 형성하는 것을 특징으로 하는 이이피롬 소자의 제조방법.

【청구항 9】

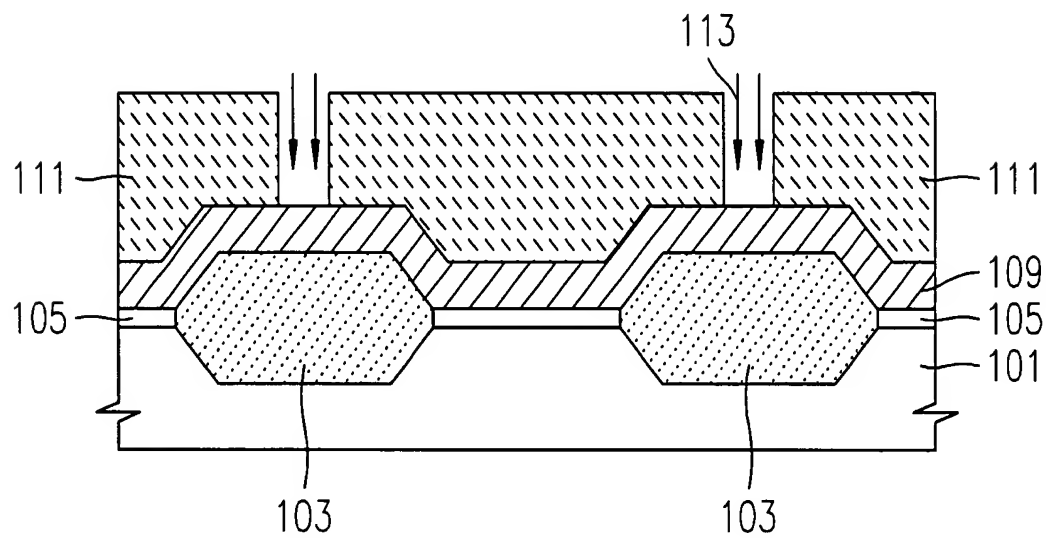
제5항에 있어서, 상기 콘택홀 및 금속 콘택홀은 비액티브 영역 상에 형성하는 것을 특징으로 하는 이이피롬 소자의 제조방법.

【도면】

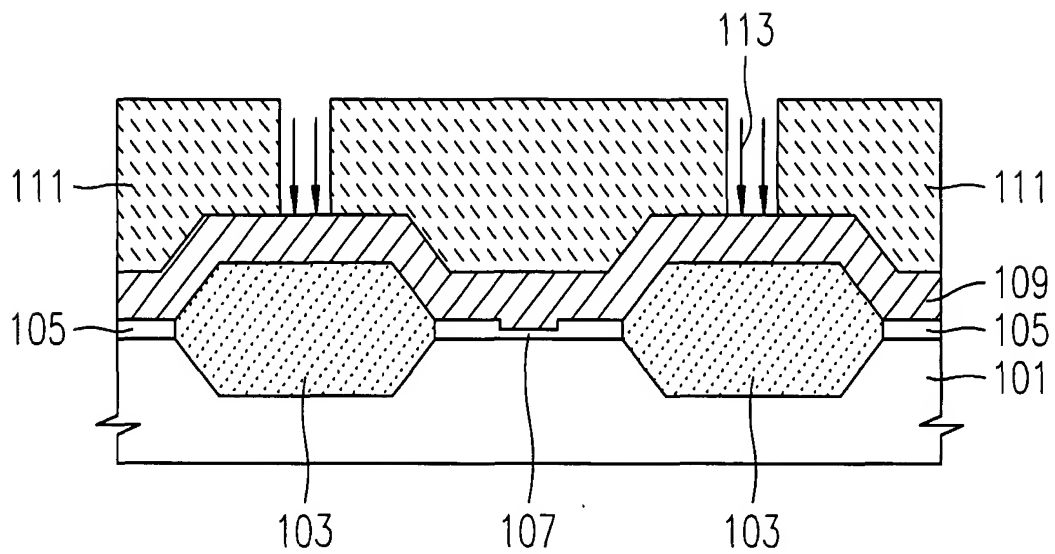
【도 1】



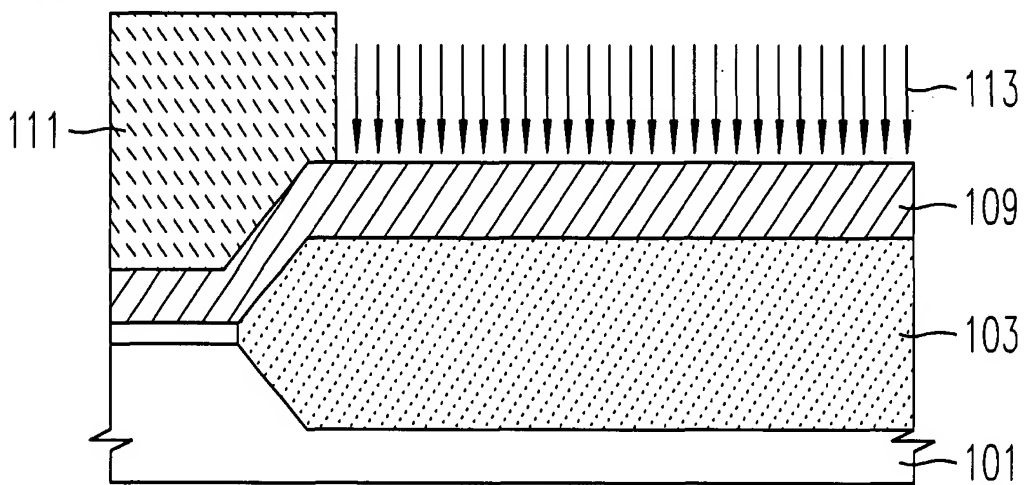
【도 2a】



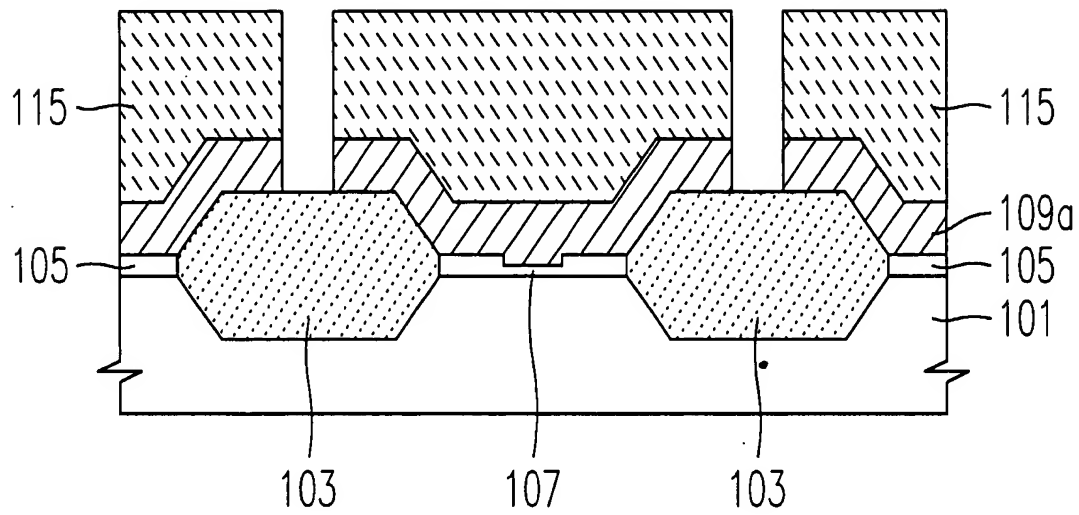
【도 2b】



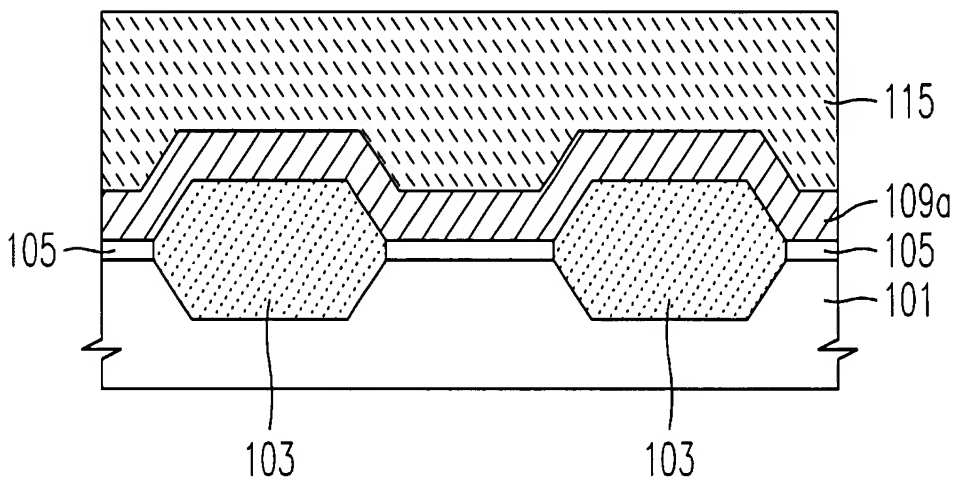
【도 2c】



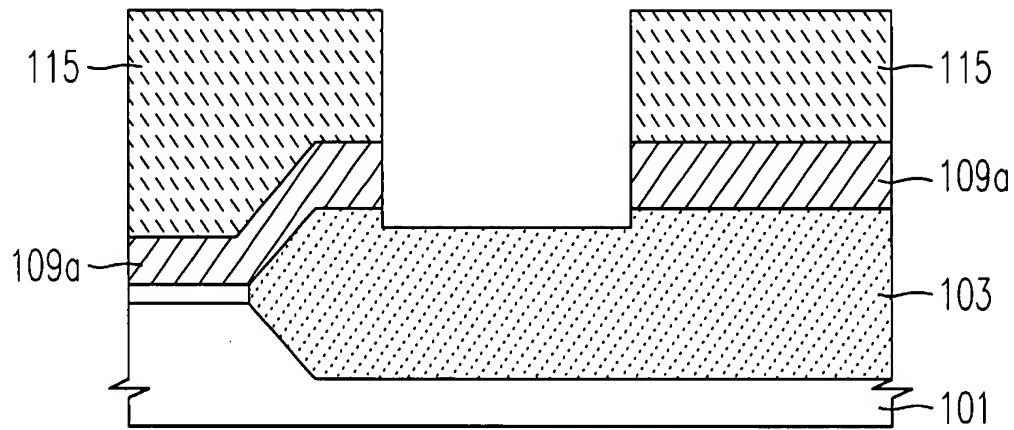
【도 3a】



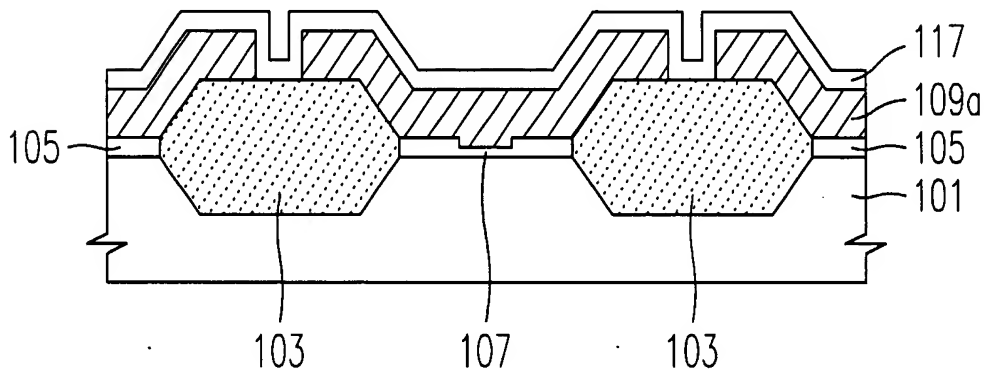
【도 3b】



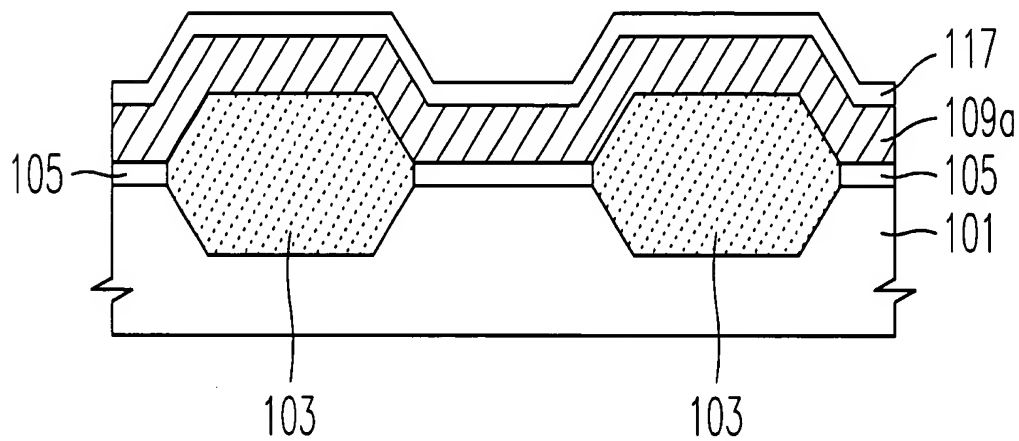
【도 3c】



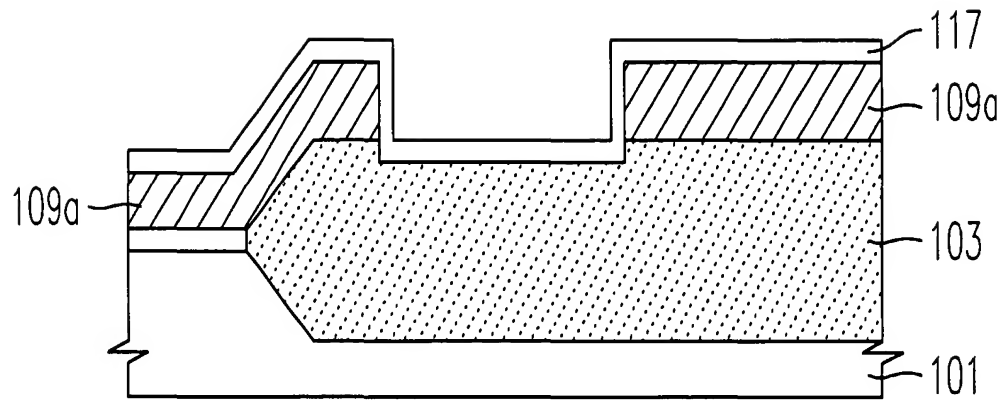
【도 4a】



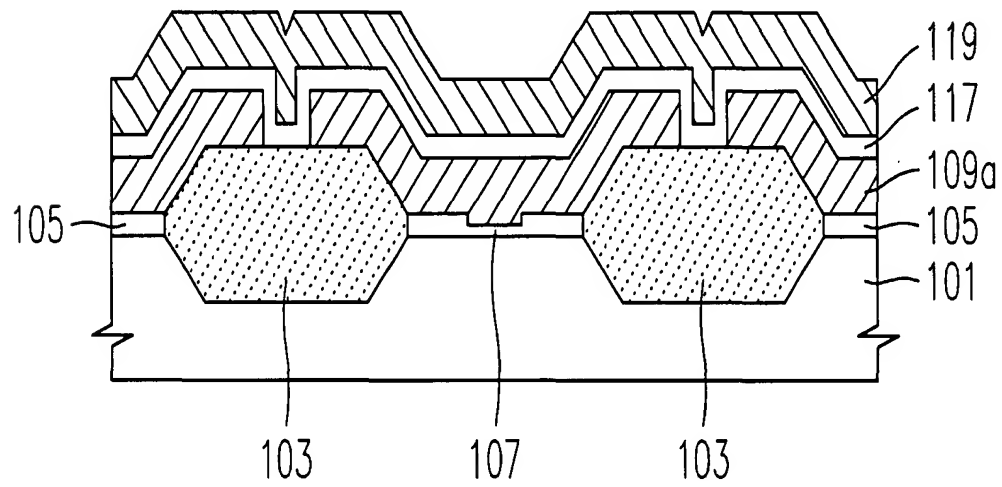
【도 4b】



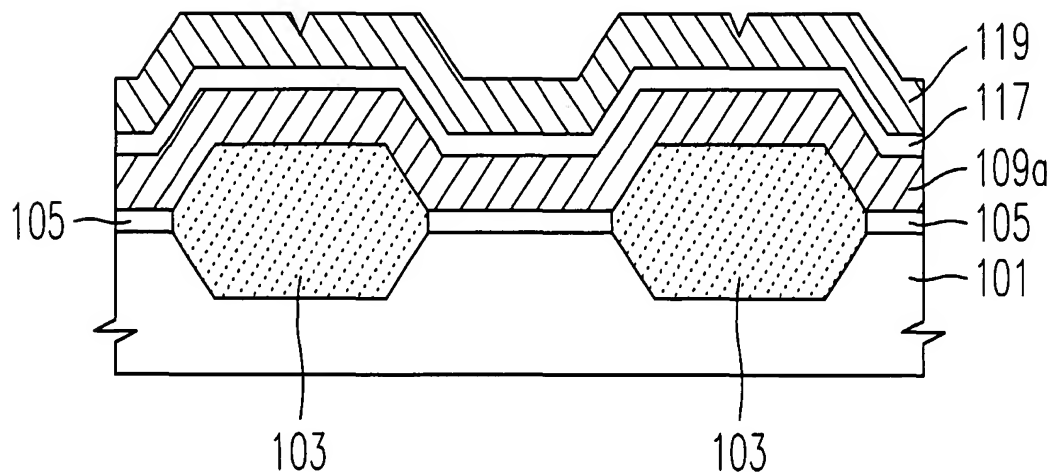
【도 4c】



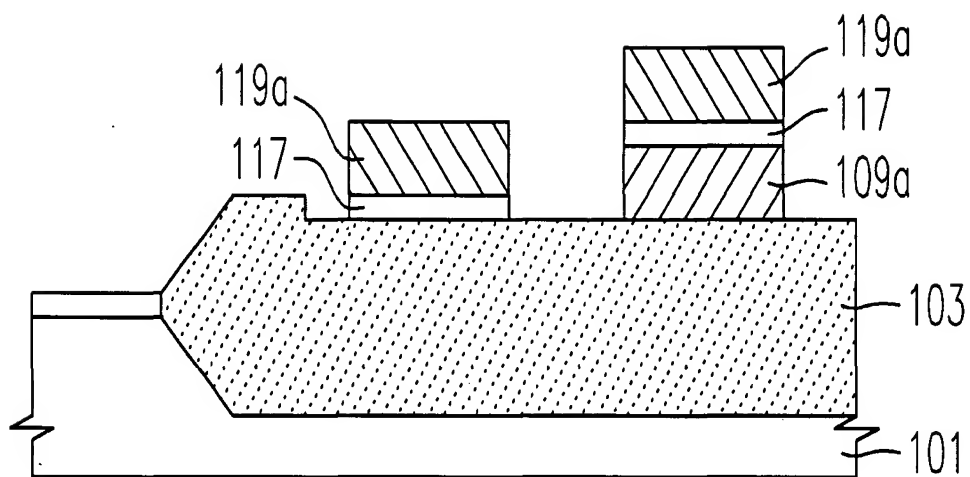
【도 5a】



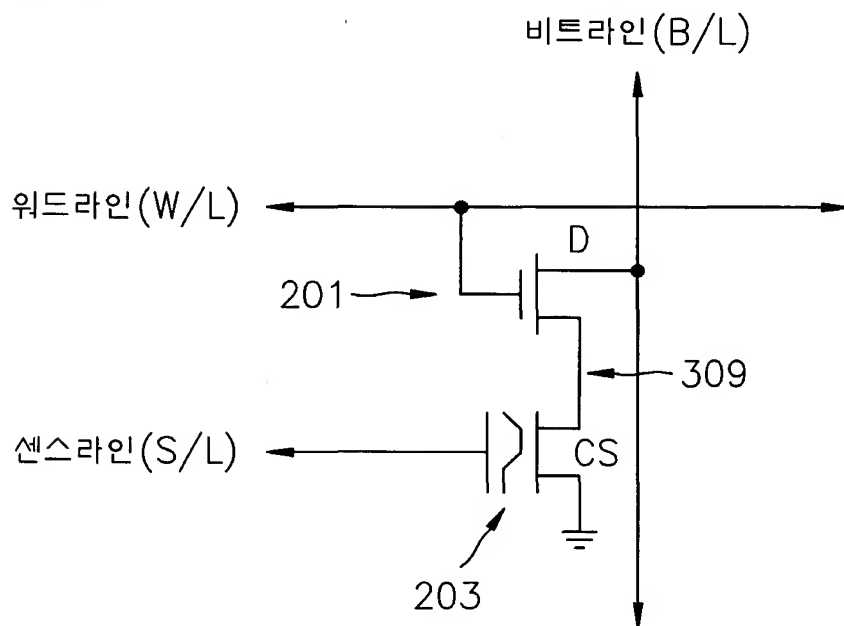
【도 5b】



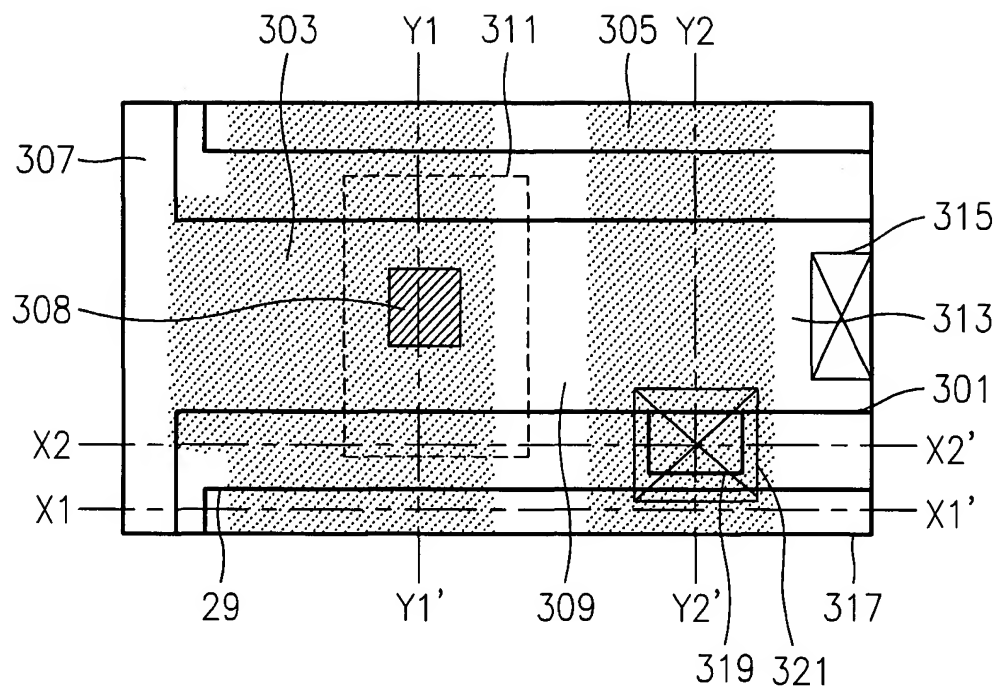
【도 5c】



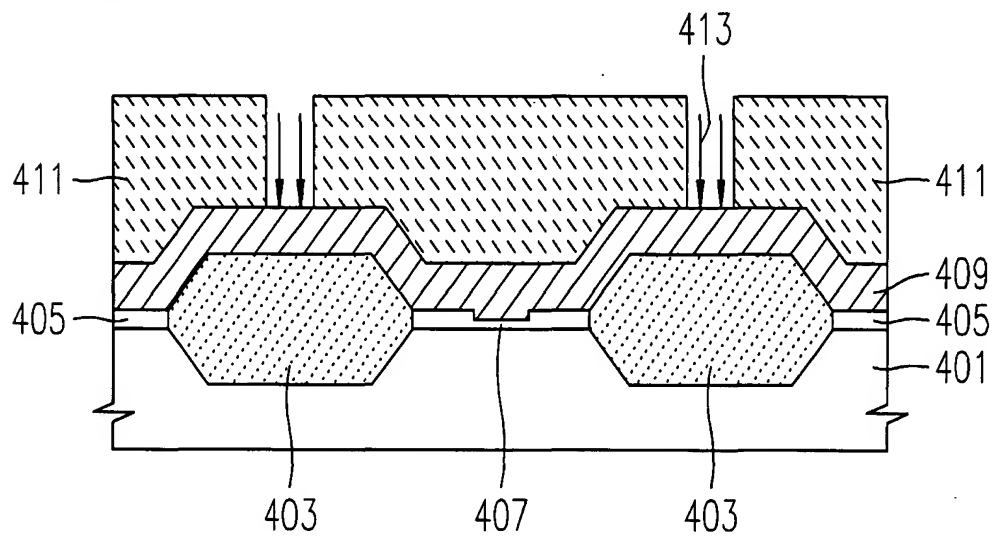
【도 6】



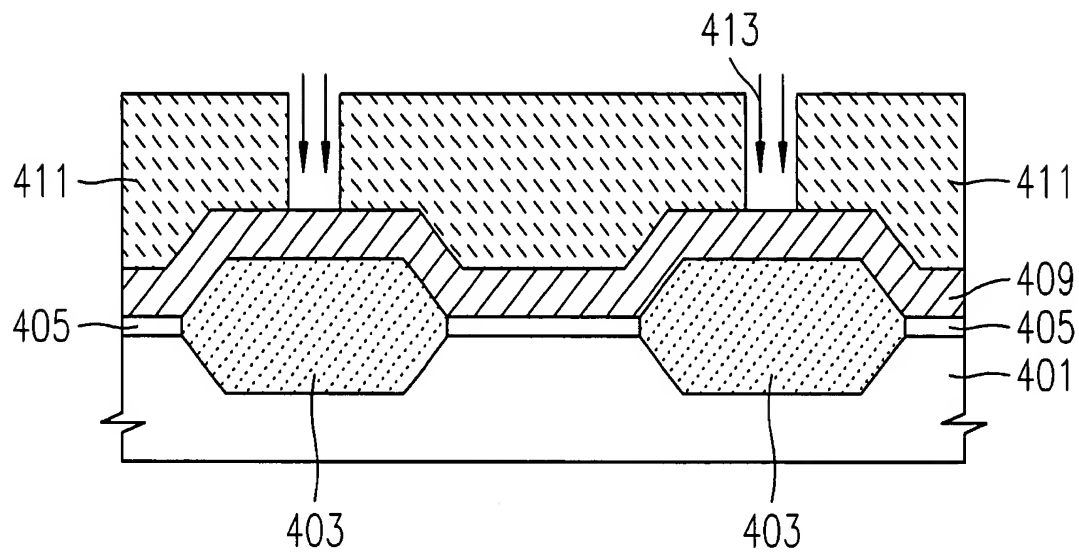
【도 7】



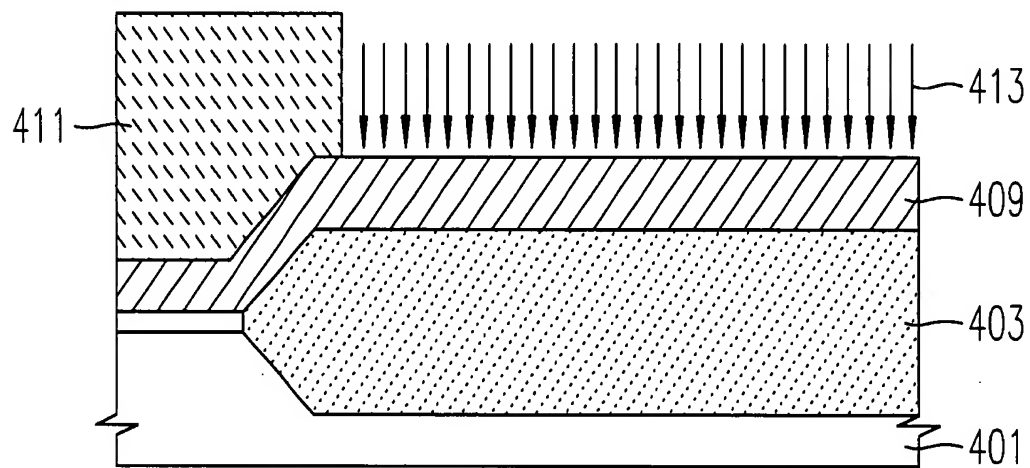
【도 8a】



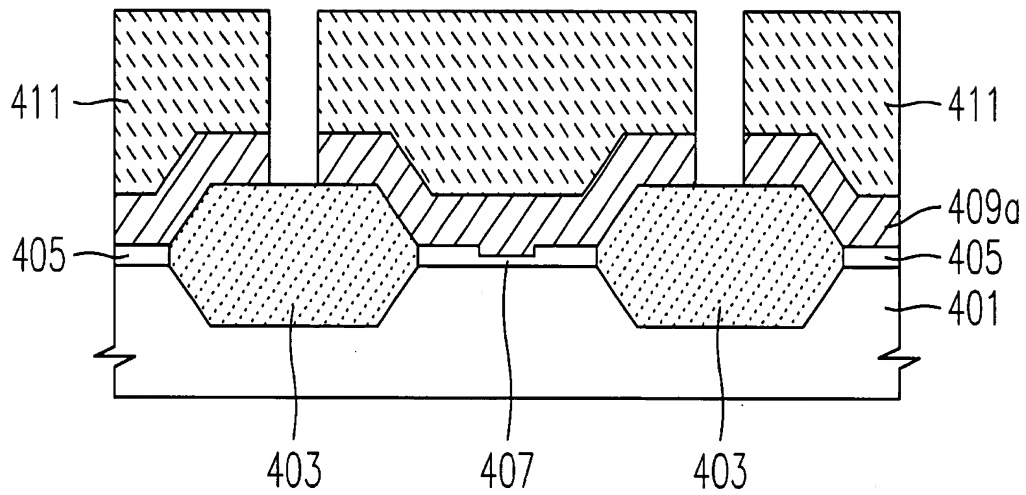
【도 8b】



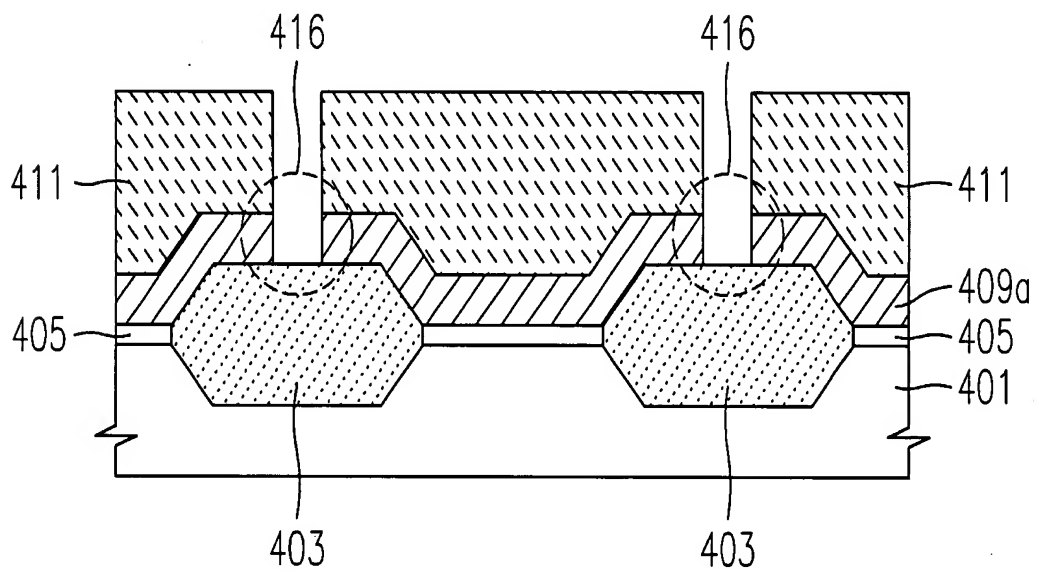
【도 8c】



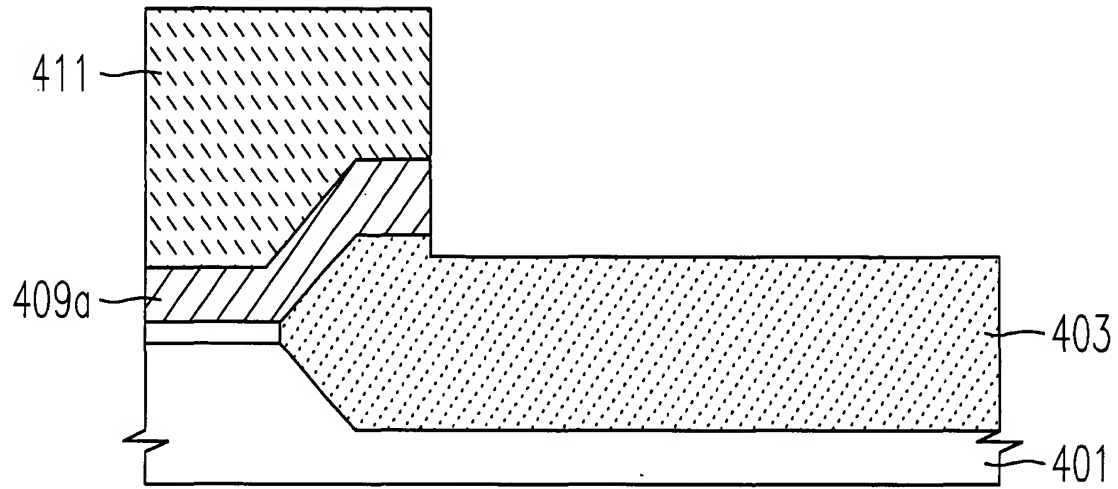
【도 9a】



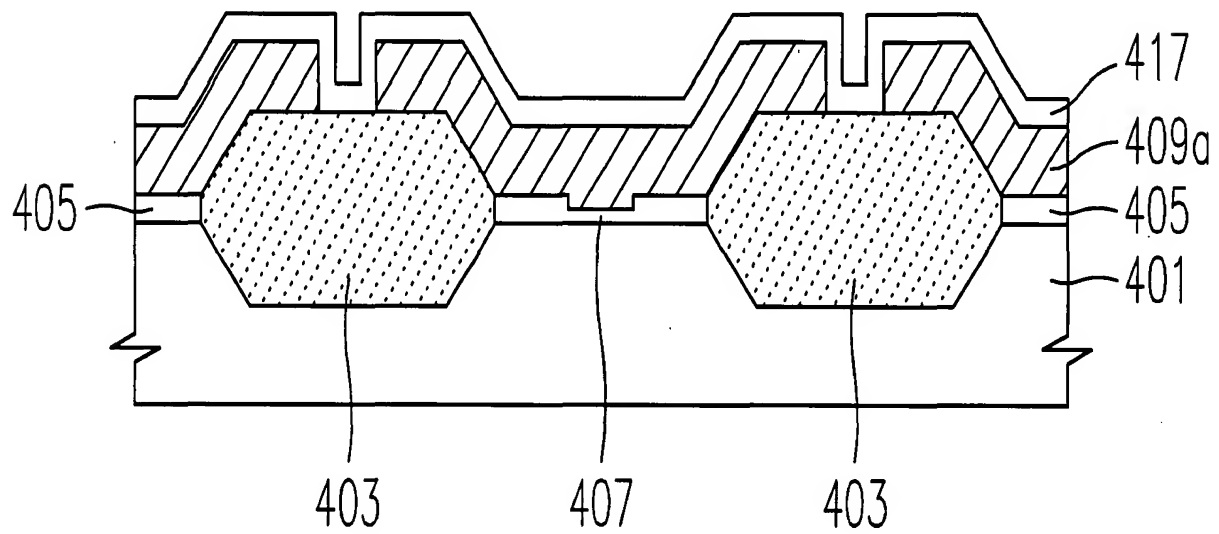
【도 9b】



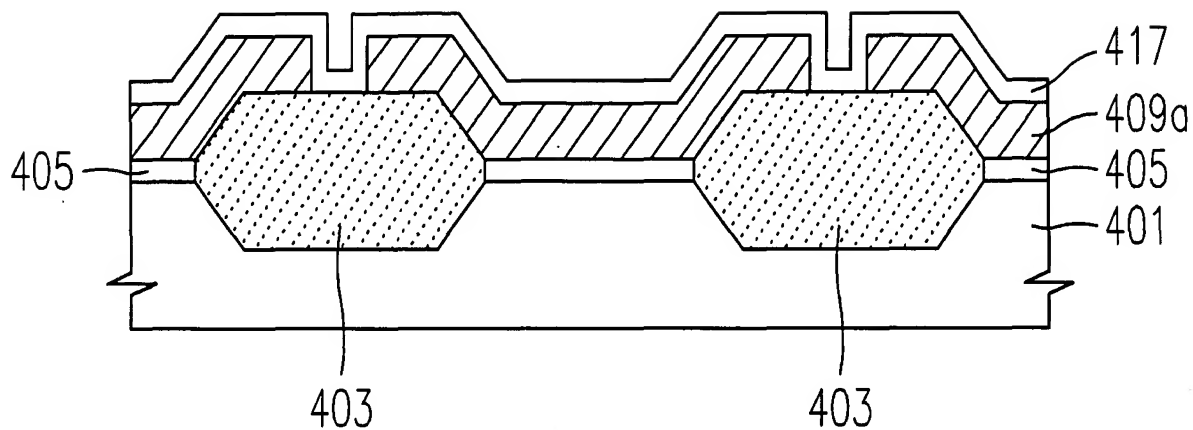
【도 9c】



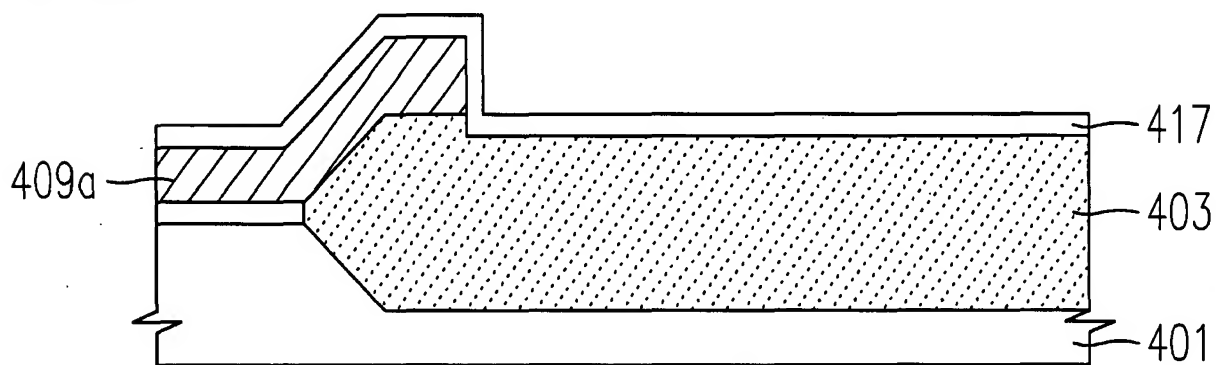
【도 10a】



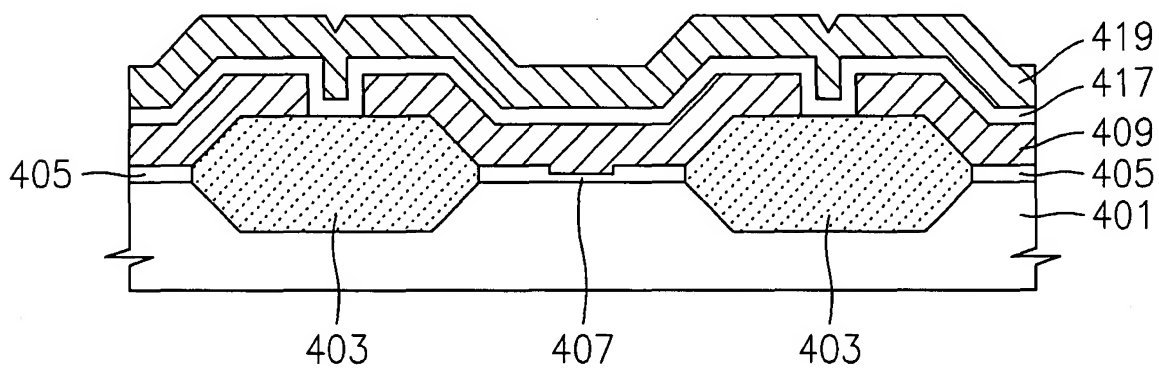
【도 10b】



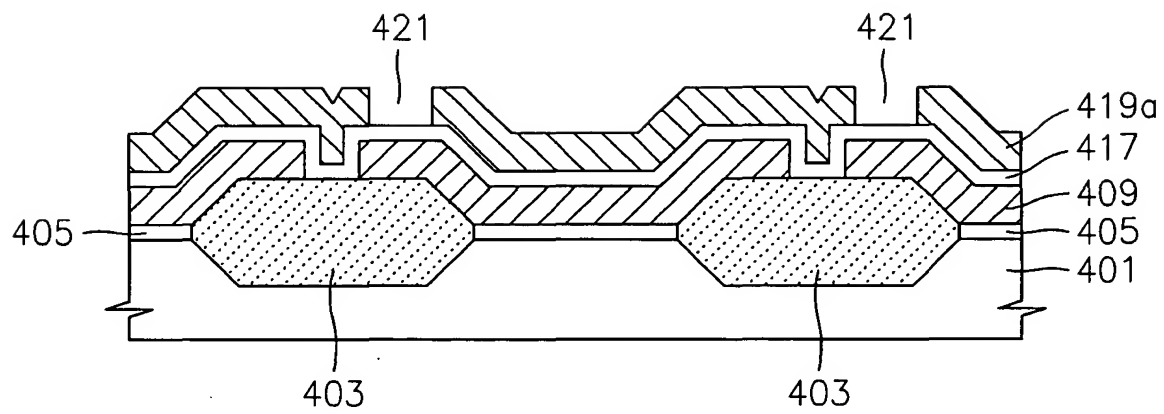
【도 10c】



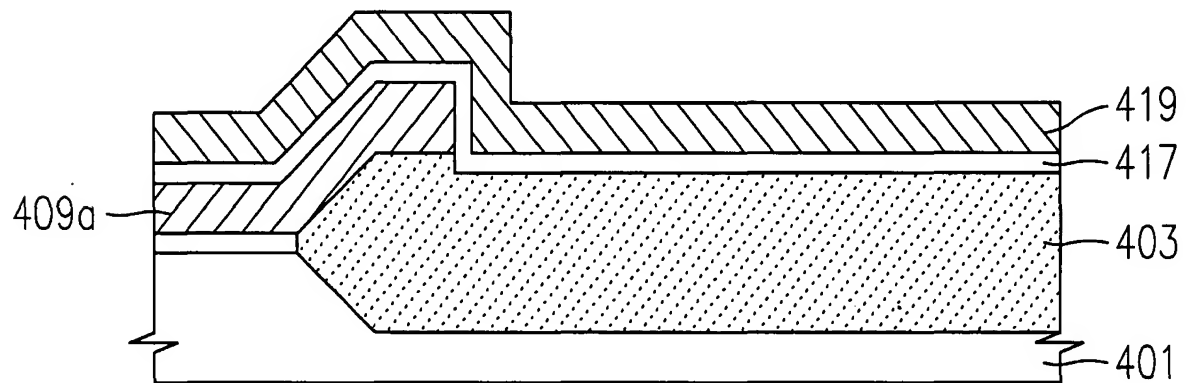
【도 11a】



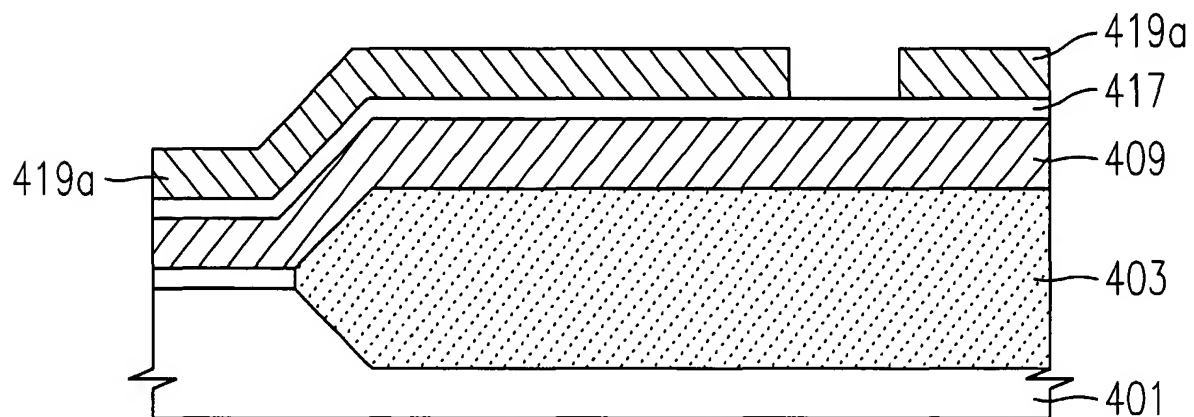
【도 11b】



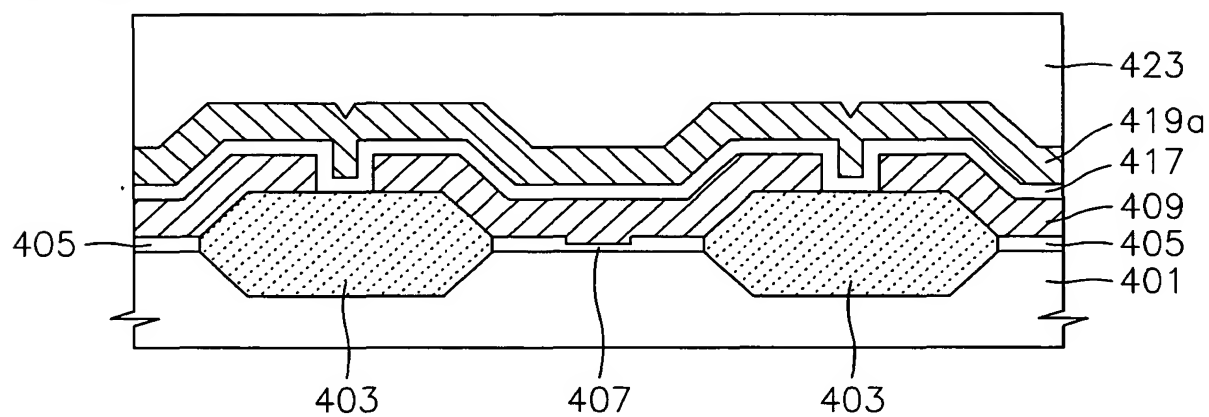
【도 11c】



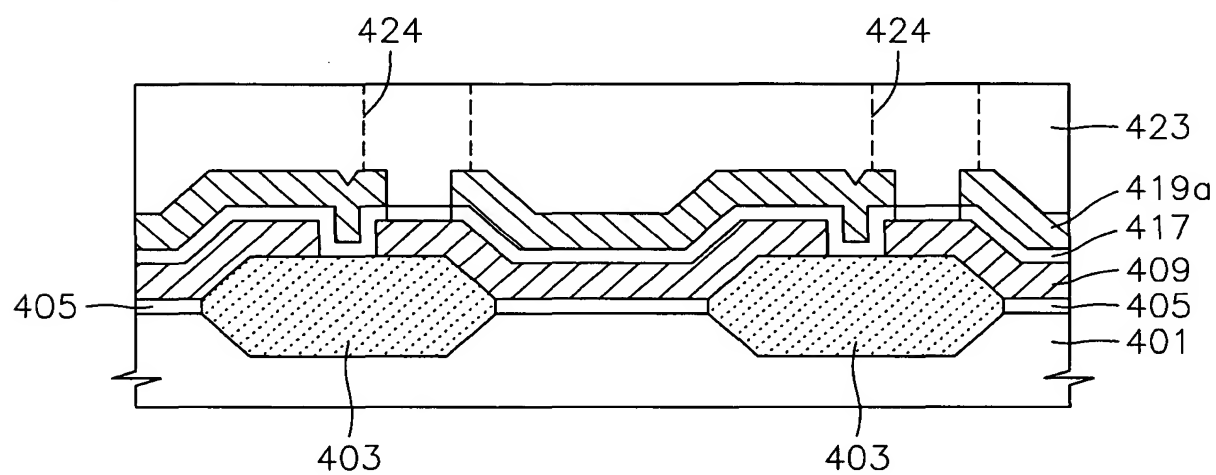
【도 11d】



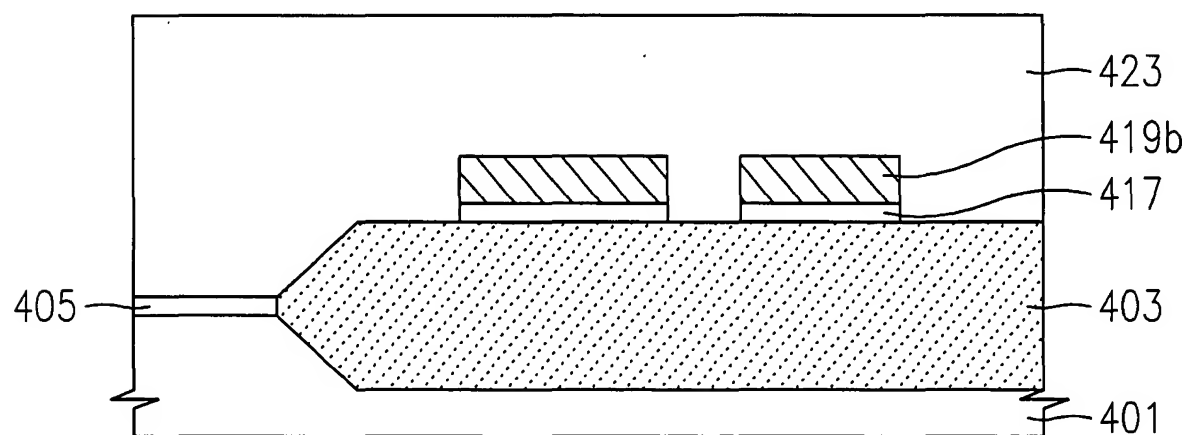
【도 12a】



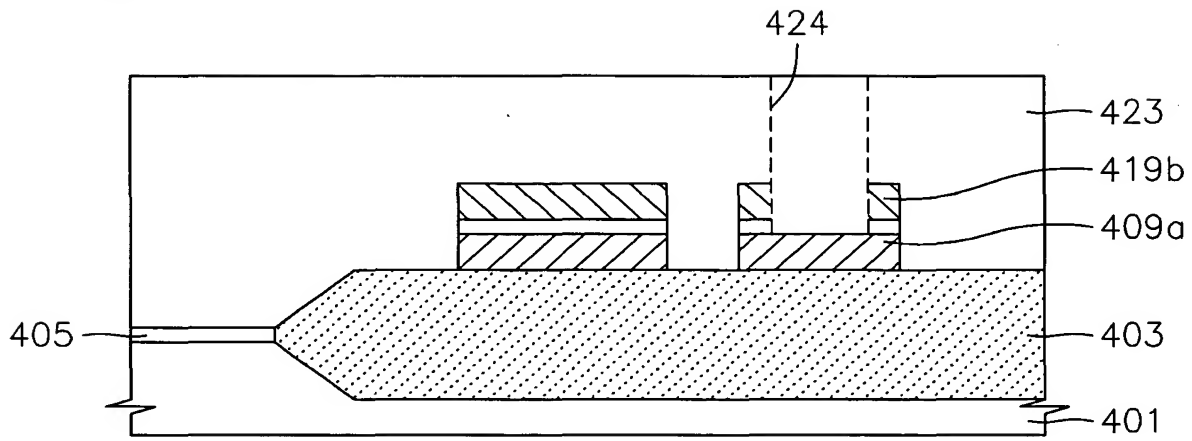
【도 12b】



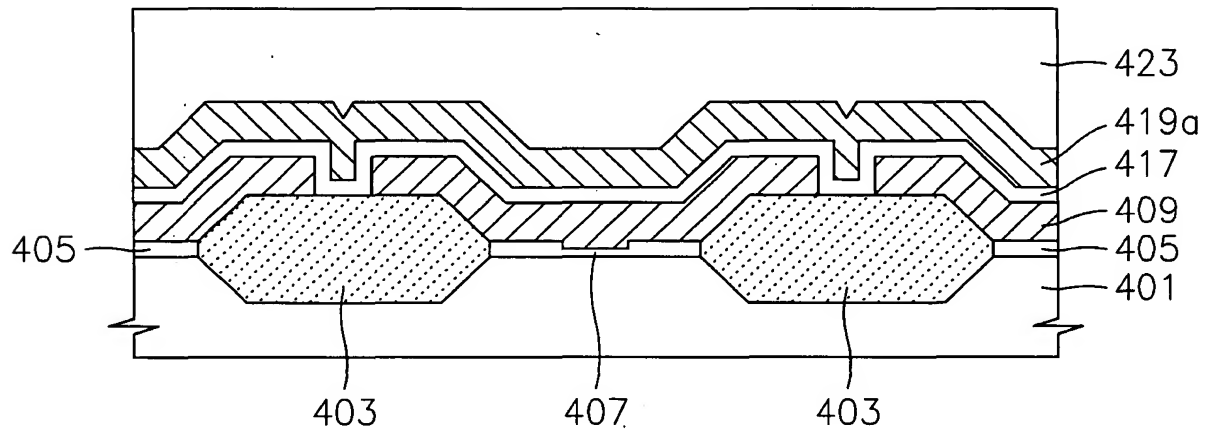
【도 12c】



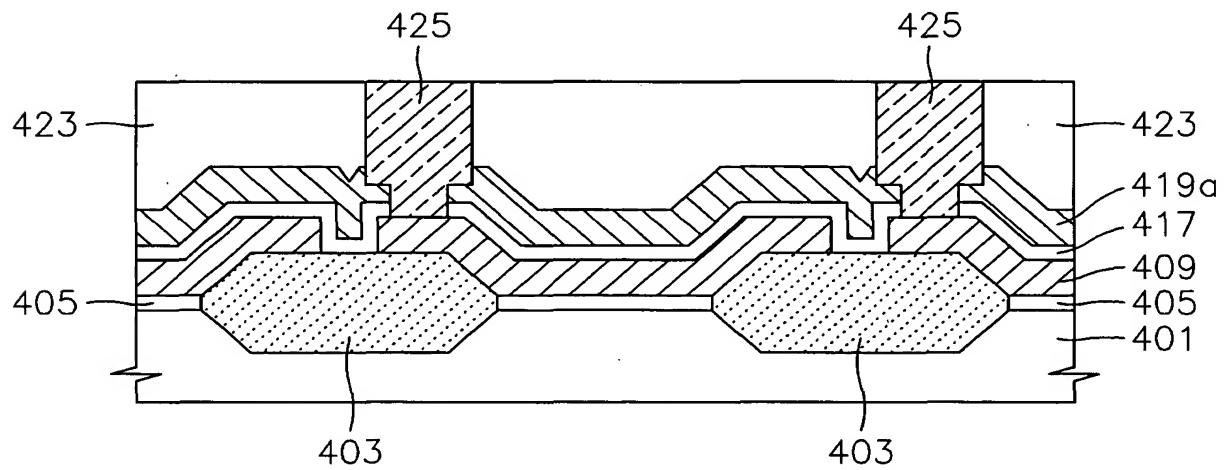
【도 12d】



【도 13a】



【도 13b】



【도 13c】

